

Dr Dragiša Milovanović \*  
Dr Milun Jevtić \*  
Mr Zoran Stojanović \*\*

\* Elektronski fakultet  
18000 Niš, Beogradska 14  
\*\* EI Jugorentgen  
18000 Niš, Bul. V. Vlahovića bb.

MODELIRANJE DEFEKATA DVA CMOS BILATERALNA PREKIDAČA  
SA ZAJEDNIČKIM IZLAZOM

FAULT MODELING OF TWO CMOS TRANSMISSION GATES  
WITH COMMON OUTPUT NODE

SADRŽAJ

U ovom radu su generisani modeli defekata dva CMOS bilateralna prekidača (transmisiona gejta) čiji su izlazi vezani za zajednički čvor. Posebna pažnja posvećena je modeliranju ponašanja ovog kola u prisustvu neregularnih stanja na upravljačkim ulazima. Zatim su modelirani defekati tipa permanentnih stanja u pojedinim čvorovima kola. Na osnovu toga generisana je tabela pokrivenosti modeliranih defekata ulaznom test sekvencom i tabela prostiranja defektnih stanja. Ove tabele su neophodne za simulaciju defekata u CMOS digitalnim kolim.

ABSTRACT

In this paper the fault models of two CMOS bilateral switches (transmission gates) with common output node are generated. In order to generate complete truth table of this circuit the faulty control signals are analyzed. This model is used for the generation of the stuck-at fault models, the fault coverage, and the fault propagation table. These results are necessary for the fault simulation of CMOS digital circuits.

1. UVOD

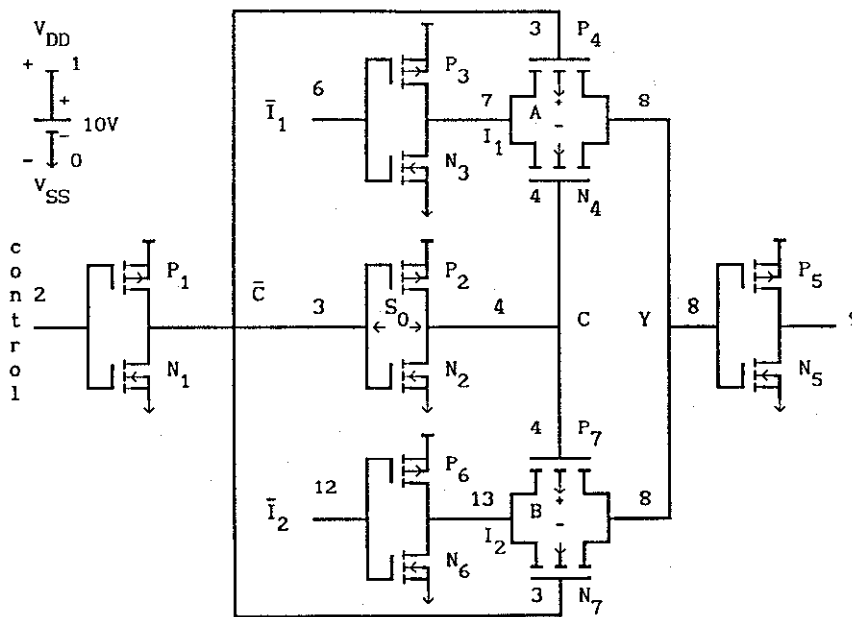
Za korišćenje zajedničkih veza sa vremenskim multipleksom neophodno je obezbediti da u jednom trenutku samo izlaz jenog kola definiše stanje logičke nule ili logičke jedinice na liniji. To znači da se za vezivanje više izlaza logičkih kola za jedan čvor moraju koristie kola sa tri stanja izlaza. Pored logičke nule i logičke jedinice izlaz mora imati i stanje visoke impedanse (HZ - stanje). Kod CMOS digitalnih kola za realizaciju stanja visoke ipedanse na izlazu može se koristiti bilateralni prekidač (transmisioni gejt). Redno vezan na izlazu može da izoluje izlaz logičkog dela kola od zajedničkog čvora. Bilateralni prekidač čine dva komplementarna MOS tranzistora sa medjusobno vezanim sorsovima i drejnovima, obrazujući na taj način ulaz i izlaz bilateralnog prekidača. Sa logičkom jedinicom i logičkom nulom na gejtovima N- i P- kanalnog tranzistora, respektivno, bilateralni

---

prekidač predstavlja kratak spoj (malu otpornost) između ulaza i izlaza. Nasuprot tome, ulaz i izlaz bilateralnog prekidača su izolovani kada je na gejtovima N- i P- kanalnog tranzistora logička nula i logička jedinica, respektivno. Logično je da je pojava istih logičkih nivoa na gejtovima oba tranzistora neregularna. Međutim, za generisanje potpunog modela kola bez i sa defektima neophodno je razmotriti i ove nedozvoljene situacije [1]. Polazeći od rezultata određivanja nivoa logičke nule  $V_{0F}$  i nivoa logičke jedinice  $V_{1F}$  [2], koji se istovremeno pojavljuju na gejtovima N- i P- kanalnog tranzistora u zbog kratkog spoja u invertoru za generisanje komplementarnih stanja na gejtovima tranzistora, u ovom radu su modelirani defekti multipleksera 2 u 1.

## 2. GENERISANJE MODELA

U ovom radu je najpre razmotreno ponašanje dva bilateralna prekidača vezana za zajednički čvor, čvor 8 u kolu sa slike 1.



Slika 1. Osnovno kolo sa dva CMOS bilateralna prekidača

Preko dva invertora ulazi bilateralnih prekidača vezani su za dva nezavisna pobudna generatora, dok su upravljački signali, koji se dovode na gejtove tranzistora u bilateralnim prekidačima, dobijeni korišćenjem dva invertora. Zajednički čvor bilateralnih prekidača pobudjuje izlazni

inverter u cilju obezbedjenja odgovarajućeg stanja izlaznog signala.

Kada u kolu ne postoji nijedan defekt stanje u zajedničkom čvoru 8 (izlaz  $Y$ ) jednako je stanju na ulaznom čvoru 7 (ulaz  $I_1$ ) kada su stanja u čvorovima 3 i 4 ( $\bar{C}$  i  $C$ ) logička nula i logička jedinica, respektivno. Sada je zatvoren bilateralni prekidač A, a otvoren bilateralni prekidač B. U drugom slučaju, kada su u čvorovima 3 i 4 stanje logičke jedinice i logičke nule, respektivno, stanje u čvoru 8 jednako je stanju na drugom ulaznom čvoru 13 ( $I_2$ ). Tada je bilateralni prekidač A otvoren, a zatvoren je bilateralni prekidač B.

Složenija situacija nastaje kada u kolu na slici 1. postoji defekt  $S_0$ , tj. kratak spoj između čvorova 3 i 4. Tada se na gejtove tranzistora u oba bilateralna prekidača pojavljuju identična stanja. Kada je u čvoru 2 stanje logičke nule čvorovi 3 i 4 su u stanju logičke jedinice sa defektom  $V_{1F}$ . Nivo  $V_{1F}$  se može odrediti ili električnom analizom pomoću programa MOST kola sa defektom  $S_0$  ili analitičkom metodom, vodeći pri tome računa da tranzistori  $N_2$  i  $P_2$  rade u oblasti zasićenja (jer je  $V_{dsp2} = V_{gsp2}$  i  $V_{dsn2} = V_{gsn2}$ ) i imaju veliku otpornost između drejna i sorsa, dok tranzistor  $P_1$  radi u linearnoj - omskoj oblasti i ima malu otpornost drejn-sors. Nivo  $V_{1F}$  definisan je odnosom otpornosti između  $V_{DD}$  i kratkospojenih čvorova 3 i 4 (paralelna veza male otpornosti tranzistora  $P_1$  i velike otpornosti tranzistora  $P_2$ ) i otpornosti između čvorova 3 i 4 i mase (velika otpornost tranzistora  $N_2$ ). Ovaj nivo je niži od  $V_{DD}$  (u ovom slučaju je  $V_{DD}=10V$ ) i njegova tačna vrednost se određuje rešavanjem kvadratne jednačine koja se dobija korišćenjem analitičkih izraza za struje N- i P-kanalnog tranzistora za odgovarajuće režime rada, i iznosi 6,29V [3]. Na sličan način se dobija nivo logičke nule sa defektom  $S_0$  kada je u čvoru 2 stanje logičke jedinice. U tom slučaju se tranzistor  $N_1$  nalazi u linearnoj oblasti a tranzistori  $N_2$  i  $P_2$  su i dalje u oblasti zasićenja, pa je nivo  $V_{OF}=1,41V$ .

Analizom rada kola sa slike 1. u prisustvu defekta  $S_0$  može se generisati potpuna tabela stanja dva CMOS bilateralna prekidača vezana za zajednički izlazni čvor. Ako je nivo upravljačkih signala (na gejtovima tranzistora u prekidačima)  $V_{OF}$ , tada različita logička stanja na ulazima postavljaju izlaz u stanje logičke jedinice smanjenog nivoa "1-". Obrnuto, kada je nivo upravljačkih signala  $V_{1F}$ , tada različita logička stanja na ulazima postavljaju izlaz u stanje logičke nule povećanog nivoa "0-". Kada su oba ulaza na logičkoj nuli ili logičkoj jedinici, bez obzira na stanje upravljačkih signala, izlazi imaju stanje

logičke nule ili jedinice sa nominalnim nivoima. Kada se izlaz prebacuje iz stanja logičke nule u stanje logičke jedinice, zbog stanja logičke jedinice na oba ulaza, za upravljačke signale nivoa  $V_{OF}$ , vreme uspostavljanja signala nije degradirano, dok se za upravljačke signale nivoa  $V_{1F}$  vreme uspostavljanja znatno produžuje. Uspostavljanje stanja logičke jedinice na izlazu u tom slučaju označeno je u Tabeli 1. sa 1d. Slično ovome, kada se izlaz prebacuje iz stanja logičke jedinice u stanje logičke nule, zbog postavljanja stanja logičke nule na oba ulaza, za upravljačke signale nivoa  $V_{1F}$  vreme uspostavljanja signala nije degradirano. Međutim, ako su upravljački signali nivoa  $V_{OF}$  vreme uspostavljanja se znatno produžuje što je označeno sa 0d.

Može se zaključiti da za defekt  $S_0$  analizirano kolo ima logičku ILI funkciju pri nivou upravljačkih signala  $V_{OF}$ , odnosno logičku I funkciju za nivo upravljačkih signala  $V_{1F}$ . Kompletna tabela stanja dva bilateralna prekidača vezana za zajednički čvor prikazana je Tabelom 1.

Tabela 1. a)

C	$\bar{C}$	I1	I2	Yn	Yn+1
0	1	0	0	0	0
				1	0
0	1	0	1	0	1
				1	1
0	1	1	0	0	0
				1	0
0	1	1	1	0	1
				1	1
1	0	0	0	0	0
				1	0
1	0	0	1	0	0
				1	0
1	0	1	0	0	1
				1	1
1	0	1	1	0	1
				1	1

b)

C	$\bar{C}$	I1	I2	Yn	Yn+1
0	0	0	0	0	0
				1	0d
0	0	0	1	0	1-
				1	1-
0	0	1	0	0	1-
				1	1-
0	0	1	1	0	1
				1	1
1	1	0	0	0	0
				1	0
1	1	0	1	0	0+
				1	0+
1	1	1	0	0	0+
				1	0+
1	1	1	1	0	1d
				1	1

U prvom delu Tabele 1. (a) predstavljeni su odzivi kola za ispravna stanja upravljačkih signala, a u drugom delu Tabele 1. (b) dati su odzivi kola za neregularna stanja upravljačkih signala. Treba imati na umu da su nivoi neregularnih upravljačkih signala  $V_{OF}$  i  $V_{1F}$  različiti od nivoa logičke nule odnosno logičke jedinice.

Korišćenjem potpunog modela kola sa slike 1. prikazanog u Tabeli 1. mogu se generisati modeli defekata tipa permanentnih logičkih stanja na pojedinim priključcima kola, kojim se može predstaviti najveći broj fizičkih defekata. Za to se koriste preslikavanja odgovarajućih odziva

kola za pojedine pobudne i upravljačke signale u one redove modela defekata gde se stanje u prisustvu defekta razlikuje od ispravnog stanja. Generisani modeli klasičnih defekata dva bilateralna prekidača sa zajedničkim izlazom dati su u Tabeli 2.

Tabela 2.

FF&F				F1	F2	F3	F4	F5	F6	F7	F8	F9	F10	F11	F12	F13	F14	
				I1	I1	I2	I2	C	C	C	C	Y	Y	Y	Y	Y	Y	Y
				S	S	S	S	S	S	S	S	S	S	S	S	S	S	
				a	a	a	a	a	a	a	a	a	a	a	a	a	a	a
				0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
C	C	I1	I2	Y-	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	
00	00	0	0	0	0	1-D	0	1-D	0	0	0	0	0	1-D	0	0	0	
00	01	0	1	0	1-D	1	0	1-D	0	0	0	0	0	1-D	0	0	0	
00	10	0	0	1	0	1-D	1	0	1-D	0	0	0	0	1-D	0	0	0	
00	11	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
01	00	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
01	01	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	
01	10	0	0	1	0	0	1	0	0	1	0	0	1	0	0	1	0	
01	11	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	
10	00	0	0	0	0	1-D	0	0	0	0	0	0	0	1-D	0	0	0	
10	01	0	1	0	0	1-D	0	0	1-D	0	0	0	0	1-D	0	0	0	
10	10	0	0	1	0	1-D	0	0	1-D	0	0	0	0	1-D	0	0	0	
10	11	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
11	00	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
11	01	0	1	0	0	1-D	0	0	1-D	0	0	0	0	1-D	0	0	0	
11	10	0	0	1	0	0	1-D	0	0	1-D	0	0	0	0	1-D	0	0	
11	11	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

Analizom ove tabele mogu se odrediti defekti detektabilni detektovati datim test vektorom. Ukoliko su odzivi kola u prisustvu pojedinih defekata različiti od odziva kola bez defekta na izlazu se pojavljuje defektno stanje  $d$  ( $D$  ili  $\bar{D}$ ) i tada je defekt opservabilan,

tj. na izlazu se pojavljuje efekt posmatranog defekta. Slovom D su označeni slučajevi kada je odziv u prisustvu defekta logička nula, a odziv kola bez defekta logička jedinica. Suprotno tome, slovom  $\bar{D}$  predstavljeni su slučajevi kada je odziv u prisustvu defekta logička jedinica a odziv kola bez defekta logička nula. Na taj način su označeni svi defekti koje može detektovati odgovarajući test vektor, što je prikazano Tabelom 3. Naravno, ukoliko se u obzir uzmu vremena kašnjenja prednje odnosno zadnje ivice impulsa na izlazu može se dobiti i potpunija tabela pokrivenosti defekata. Na sličan način može se generisati tabela ulaznih kombinacija kojima su detektabilni pojedini defekti i ona je predstavljena Tabelom 4.

Tabela 3.

k	C	$\bar{C}$	I <sub>1</sub>	I <sub>2</sub>	Testirani defekti F <sub>i</sub>
1	0	0	0	0	F <sub>2</sub> F <sub>4</sub> F <sub>10</sub>
2	0	0	0	1	F <sub>3</sub> F <sub>6</sub> F <sub>9</sub> F <sub>11</sub> F <sub>13</sub> F <sub>14</sub>
3	0	0	1	0	F <sub>1</sub> F <sub>8</sub> F <sub>9</sub> F <sub>12</sub> F <sub>13</sub> F <sub>14</sub>
4	0	0	1	1	F <sub>9</sub> F <sub>13</sub> F <sub>14</sub>
5	0	1	0	0	F <sub>4</sub> F <sub>10</sub> F <sub>14</sub>
6	0	1	0	1	F <sub>3</sub> F <sub>6</sub> F <sub>9</sub> F <sub>11</sub> F <sub>13</sub>
7	0	1	1	0	F <sub>4</sub> F <sub>7</sub> F <sub>10</sub> F <sub>11</sub> F <sub>14</sub>
8	0	1	1	1	F <sub>3</sub> F <sub>9</sub> F <sub>13</sub>
9	1	0	0	0	F <sub>2</sub> F <sub>10</sub> F <sub>13</sub>
10	1	0	0	1	F <sub>2</sub> F <sub>5</sub> F <sub>10</sub> F <sub>12</sub> F <sub>13</sub>
11	1	0	1	0	F <sub>1</sub> F <sub>8</sub> F <sub>9</sub> F <sub>12</sub> F <sub>14</sub>
12	1	0	1	1	F <sub>1</sub> F <sub>9</sub> F <sub>14</sub>
13	1	1	0	0	F <sub>10</sub> F <sub>13</sub> F <sub>14</sub>
14	1	1	0	1	F <sub>2</sub> F <sub>5</sub> F <sub>10</sub> F <sub>12</sub> F <sub>13</sub> F <sub>14</sub>
15	1	1	1	0	F <sub>4</sub> F <sub>7</sub> F <sub>10</sub> F <sub>11</sub> F <sub>13</sub> F <sub>14</sub>
16	1	1	1	1	F <sub>1</sub> F <sub>3</sub> F <sub>9</sub>

Tabela 4.

F <sub>i</sub>	Ulazna kombinacija k
F <sub>1</sub>	3 11 12 16
F <sub>2</sub>	1 9 10 14
F <sub>3</sub>	2 6 8 16
F <sub>4</sub>	1 5 7 15
F <sub>5</sub>	10 14
F <sub>6</sub>	2 6
F <sub>7</sub>	7 15
F <sub>8</sub>	3 11
F <sub>9</sub>	2 3 4 6 8 11 12 16
F <sub>10</sub>	1 5 7 9 10 13 14 15
F <sub>11</sub>	2 6 7 15
F <sub>12</sub>	3 10 11 14
F <sub>13</sub>	2 3 4 6 8 9 10 13 14 15
F <sub>14</sub>	2 3 4 5 7 11 12 13 14 15

Za simulaciju defekata u digitalnim sistemima potrebno je odrediti uslove pod kojim se defektno stanje (efekt defekta) prostire sa nekog od ulaza do izlaza, a za to je takodje neophodna Tabela 1. Koristeći odzive kola bez defekata i vodeći računa o definiciji defektnih stanja d generiše se tabela prostiranja defektnog stanja kroz kolo bez defekata (Tabela 5), koja pokazuje da li je efekt defekta maskiran (konvergira) ili je opservabilan (divergira ka sledećim logičkim kolima).

Tabela 5.

a)

				FF	FP	
C	$\bar{C}$	I <sub>1</sub>	I <sub>2</sub>	Y <sub>n</sub>	Y <sub>n+1</sub>	
D/ $\bar{D}$	0	0	0	0	0	
				1	0	
		0	1	0	0/1	$\bar{D}/D$
				1	0/1	$\bar{D}/D$
		1	0	0	1	
		1	1	1		
		1	1	0	1	
		1	1	1	1	
D/ $\bar{D}$	1	0	0	0	0	
				1	0	
		0	1	0	0/1	$\bar{D}/D$
				1	0/1	$\bar{D}/D$
		1	0	0	0	
		1	0			
		1	1	0	1	
		1	1	1	1	
0	D/ $\bar{D}$	0	0	0	0	
				1	0	
		0	1	0	1	
				1	1	
		1	0	0	0/1	$\bar{D}/D$
		1	0/1	$\bar{D}/D$		
		1	1	0	1	
		1	1	1	1	
1	D/ $\bar{D}$	0	0	0	0	
				1	0	
		0	1	0	0	
				1	0	
		1	0	0	0/1	$\bar{D}/D$
		1	0/1	$\bar{D}/D$		
		1	1	0	1	
		1	1	1	1	
D/ $\bar{D}$	D/ $\bar{D}$	0	0	0	0	
				1	0	
		0	1	0	0/1	$\bar{D}/D$
				1	0/1	$\bar{D}/D$
		1	0	0	1/0	D/ $\bar{D}$
		1	1/0	D/ $\bar{D}$		
		1	1	0	1	
		1	1	1	1	

b)

				FF	FP	
C	$\bar{C}$	I <sub>1</sub>	I <sub>2</sub>	Y <sub>n</sub>	Y <sub>n+1</sub>	
0	0	D/ $\bar{D}$	0	0	1/0	D/ $\bar{D}$
				1	1/0	D/ $\bar{D}$
			1	0	1	
				1	1	
		0	1	0	0	0
		1	1	0	0	
		1	1	0	1	
		1	1	1	1	
1	0	D/ $\bar{D}$	0	0	1/0	D/ $\bar{D}$
				1	1/0	D/ $\bar{D}$
			1	0	1/0	D/ $\bar{D}$
				1	1/0	D/ $\bar{D}$
		1	1	0	0	0
		1	0	0		
		1	1	0	1/0	D/ $\bar{D}$
		1	1	1	1/0	D/ $\bar{D}$
0	0	0	D/ $\bar{D}$	0	1/0	D/ $\bar{D}$
				1	1/0	D/ $\bar{D}$
		0	1	0	1	
				1	1	
		0	1	0	0	1/0
		1	1/0	D/ $\bar{D}$		
		1	1	0	1/0	D/ $\bar{D}$
		1	1	1	1/0	D/ $\bar{D}$
1	0	0	D/ $\bar{D}$	0	0	
				1	0	
			1	0	0	1
				1	1	
		1	1	0	0	0
		1	1	0		
		1	1	0	1/0	D/ $\bar{D}$
		1	1	1	1/0	D/ $\bar{D}$

Iz ove tabele je lako zaključiti da se defektno stanje sa nekog od ulaza kola prostire do izlaza samo pod određenim uslovima. Tako se defektno stanje d sa upravljačkog ulaza C prostire do izlaza samo ako je ulazna kombinacija  $I_1 I_2 = 01$ , dok se sa kontrolnog ulaza  $\bar{C}$  prostire samo za kombinaciju na ulazima  $I_1 I_2 = 10$ . Kada se defektna stanja, međusobno komplementarna, pojave istovremeno na oba upravljačka ulaza C i  $\bar{C}$  ona se

prostiru do izlaza pod uslovom da su stanja na ulazima  $I_1$  i  $I_2$  međusobno komplementarna. Ukoliko se stanje  $d$  pojavi na ulazu  $I_1$  defektno stanje se prostire do izlaza pod uslovom da je upravljački ulaz  $C$  u stanju logičke nule samo ako su i drugi upravljački ulaz  $\bar{C}$  i ulaz  $I_2$  u stanju logičke nule, međutim kada je upravljački ulaz  $C$  u stanju logičke jedinice, stanje  $d$  se ne prostire do izlaza samo ako je drugi upravljački ulaz  $\bar{C}$  u stanju logičke jedinice a ulaz  $I_2$  u stanju logičke nule. Nešto drugačija situacija je kod pojave stanja  $d$  na ulazu  $I_2$ . Tada se u slučaju logičke jedinice na upravljačkom ulazu  $C$  stanje  $d$  prostire do izlaza samo pod uslovom da su i drugi upravljački ulaz  $\bar{C}$  i ulaz  $I_1$  u stanju logičke jedinice, dok je za slučaj logičke nule na upravljačkom ulazu  $C$  stanje  $d$  se ne prostire samo kada je na drugom upravljačkom ulazu  $\bar{C}$  logička nula, a na ulazu  $I_1$  logička jedinica. Ovakvo različito ponašanje kola posmatrano sa ulaza  $I_1$  i  $I_2$  je razumljivo s obzirom da se na gejtove N-, odnosno P- kanalnih tranzistora u bilateralnim prekidačima A i B dovode međusobno komplementarni upravljački signali.

### 3. ZAKLJUČAK

U radu prikazani modeli kola sačinjenog od dva bilateralna prekidača sa zajedničkim izlazom sa i bez defekata. Na osnovu toga je generisana tabela pokrivenosti defekata ulaznim test vektorom i tabela prostiranja defektnog stanja kroz ovo kolo bez defekata. Generisane tabele su neophodne za simulaciju defekata u digitalnim sistemima koji sadrže dva bilateralna prekidača sa zajedničkim izlazom, naravno uz poznavanje ovakvih tabela za sva ostala digitalna kola koja ulaze u sastav tog sistema, a mogu se koristiti za generisanje test sekvence. Dobijeni rezultati su značajni ne samo za simulaciju multipleksera i strukture magistarle već i za simulaciju defekata u CMOS flip-flopovima koji sadrže ovo kolo.

### 4. LITERATURA

- [1] Wadsack R., "Fault modeling and Logic Simulation of CMOS and MOS Integrated Circuit", The Bell System Technical Journal, May-June 1978, pp. 1449-1474.
- [2] Milovanović D. and Litovski V., "New CMOS Transmission Gate Fault Models and Fault Simulation", Proc. Int. Conf. CEEDA'91, Poole, UK, March 1991, pp. 393-395.
- [3] Milovanović D. and Litovski V., "Fault Models of CMOS Transmission Gate", International Journal of Electronics, Vol. 71, No. 4, October 1991, pp. 675-683.